

UNIVERSITATEA TEHNICĂ "GH. ASACHI" IAȘI

Facultatea: **ELECTRONICĂ ȘI TELECOMUNICAȚII**

Domeniul: inginerie electronica si telecomunicatii

Specializarea: MON

Forma de învățământ: zi

Anul de studii: 4

Anul universitar: 2007-2008

P R O G R A M A A N A L I T I C Ă

a disciplinei: Algoritmi si Structuri Paralele de Calcul

1. Titularul disciplinei: S.I. dr. ing. Tiberiu-Dinu TEODORESCU

2. Tipul disciplinei: DS, DI

codul: DIS401M

3. Structura disciplinei:

Semestrul	Numărul de ore pe săptămână				Forma de evaluare finală	Numărul de ore pe semestru				
	C	S	L	P		C	S	L	P	Total
7	2	-	3	-	E	28	-	42	-	70

4. Obiectivele cursului:

Disciplina de „Algoritmi si Structuri Paralele de Calcul urmarește introducerea unor noțiuni legate de implementarea sistemelor numerice de procesare de semnal. Se trateaza incepand cu nivelul arhitectural pana la nivel de bit implementari ale blocurilor functionale intr-un sistem numeric de prelucrare de semnal, punandu-se accent pe diferentele fata de acestea si cele de uz general din multiple puncte de vedere. Deasemenea, sunt discutate implementari paralele si sistolice (seriale) ale elementelor de sistem (multiplicatoare, sumatoare) lucrând in virgula fixa.

Un obiectiv important este asimilarea notiunilor de baza implicate in functionarea unui sistem multi-procesor de uz general (coerenta memoriilor cache, DMA, MC, arbitrii de magistrala).

5. Concordanța între obiectivele disciplinei și obiectivele planul de învățământ:

Disciplina este una de specialitate, avand nevoie pentru buna desfasurare de cunostinte de teoria sistemelor, procesare numerica de semnal, circuite integrate digitale, programare in C/C++, VLSI digital. Scopul ei este de a pune in evidenta si a exemplifica practic topologii pentru sistemele digitale de uz general si cele dedicate, si de a trasa granita (dinamica) ce desparte cele doua tipuri de sisteme.

6. Rezultatele învățării exprimate în competențe cognitive, tehnice sau profesionale

Studentii capata competente in modelare HW a sistemelor digitale (de uz general sau dedicate), pe principiul paralel, serial si mixt. De asemenea, in urma cursului se dezvolta aptitudini in vederea verificarii cu o acoperire cat mai mare a functionalitatii circuitului proiectat.

7. Proceduri folosite la predarea disciplinei:

Mod de predare: expunerea teoretică, exemple și aplicații.

Susținere laborator: calcul de proiectare și analiză urmat de simulari experimentale, bazate pe suport scris de laborator.

Nivelul de predare, atat teoretic cat si aplicativ se adapteaza la nivelul de pregatire a studentilor.

8. Sistemul de evaluare:

Evaluarea continuă:

Activitatea la seminar / laborator / proiect / practică

Pondere în nota finală: ___%

Testele pe parcurs T

Pondere în nota finală: ___%

Lucrări de specialitate

Pondere în nota finală: 20% (proiect-tema de casa)

Evaluarea finală: examen T

Pondere în nota finală: 80%

Proba: Teza cu 3 subiecte: 2 probleme și 1 subiect teoretic, cu subpuncte, fără acces la documentație.

9. Conținutul disciplinei:

a) Curs

Cap. 1. Paralelism și sincronizare

1.1. Arhitectura paralela. Definiție, schema, timpi și complexitate

1.2. Arhitectura sistolică. Definiție, schema, timpi și complexitate

Cap 2. Arhitecturi multiprocesor

2.1. Clasificarea sistemelor multiprocesor

2.2. Comunicatia în arhitecturile multiprocesor. Modelul MOESI pentru sincronizarea memoriilor locale

2.3. Arhitectura pentru sisteme de uz general

2.4. Arhitectura Harvard pentru DSP

2.4. Comparatie între arhitecturile

Cap 3. Limbajul Verilog de descriere hardware

3.1. Structura unui modul Verilog

3.2. Design și testbench/diferențe și asemănări

3.3. Elemente sintactice ale limbajului Verilog cu contexte de utilizare

3.4. Blocuri consumatoare de timp și blocuri neconsumatoare de timp, modele PLI

Cap. 4. Implementarea paralela și sistolică a sistemelor de prelucrare de semnal

4.1. Arhitecturi sistolice și semisistolice pentru filtre FIR

4.2. Arhitecturi sistolice și semisistolice pentru filtre IIR

4.3. Implementări globale. Implementarea cascada și paralel. Exemple de diagonalizare (paralelizare a filtrelor IIR)

4.4. Arhitecturi paralele pentru calculul transformatelor ortogonale (2h)

Cap. 5 Notiuni de aritmetica binara

5.1. Generalități, exemple

5.2. Cod complementar față de 2. Proprietăți, depășire de format

Cap. 6 Implementarea blocurilor de calcul numeric

6.1. Blocuri elementare. Elemente de sistem

6.2. Structuri de elemente cu memorie

6.3. Structuri de implementare a elementelor neliniare

6.4. Structuri de implementare a multiplicatoarelor în virgula fixă (seriale și paralele)

Cap. 7 Multiplicatoare rapide

7.1. Multiplicatoare Braun

7.2. Multiplicatoare Baugh-Wooley

7.3. Multiplicatoare Wallace tree

7.4. Multiplicatoare Dada

Cap. 8 Limitari impuse de reprezentarea finita a numerelor si compensarea lor in sistemele paralele si sistolice

- 8.1. Modelul neliniaritatii de granularitate
- 8.2. Modelul neliniaritatii de depasire de format
- 8.3. Tehnici de reducere a efectelor neliniaritatii de granularitate si a depasirii de format in sistemele numerice de prelucrare de semnal, paralele si sistolice
- 8.4. Influenta cuantizarii coeficientilor filtrelor asupra pozitiei polilor si zerourilor

Total ore curs - 42

b) Aplicații

Sediințele de laborator (3h/sedință):

1. Implementarea paralela si seriala a mediei ponderate a N numere, precum si calculul valorii unui polinom intr-un punct, in Simulink.
2. Verilog – sedinta introductiva, numarator cu reset sincron si asincron si testbench pentru testare.
3. Proiectarea unei memori asincrone si a uneia sincrone si testarea functionarii in Verilog.
4. Implementarea sistemului: Procesor (TB), Controller de memorie si a unei memorii cu tranzactie de scriere si citire a aceleasi locatii de memorie .
5. Sistem paralel cu doua procesoare, arbitru Round-Robin si acces partajat la datele interne ale memoriei (mecanismul de semafor).
6. Implementarea sistolica a filtrelor FIR in Matlab/Simulink.
7. Implementarea sistolica a filtrelor IIR in Matlab/Simulink.
8. Implementarea sumatoarelor bit-seriale in Simulink (cu transport serial/cu transport anticipat)
9. Multiplicator bit-serial functionand in virgula fixa.
10. Filtru FIR bit-serial.
11. Multiplicatorul Baugh-Wooley, Braun, Wallace trees.
12. Arhitecturi paralele pentru calculul transformatorilor ortogonale.
13. Efectele reprezentării finite a numerelor in sistemele digitale cu compensare in sistemele paralele/seriale
14. Prezentarea temei de casa.

Total ore aplicații – 42

10. Bibliografie selectivă

9. D. A. Patterson, J.L. Hennessy – Computer Architecture and Design, third edition, Elsevier
10. AMD64 Architecture Programmer's Manual Vol 2 'System Programming': http://www.amd.com/us-en/assets/content_type/white_papers_and_tech_docs/24593.pdf
11. V. Grigoraș, D. Tarniceriu, Prelucrarea numerică a semnalelor - Partea I - Semnale și sisteme discrete, Iași, Editura "Gh. Asachi", 1995 (ISBN 973-9178-28-6).
12. Tiberiu-Dinu Teodorescu, ASPC, suport de curs, carte electronica: <http://scs.etc.tuiasi.ro/t-teodor>

Semnături:

Data: 29.09.2007

Titular curs: Teodorescu Tiberiu-Dinu

Titular(i) aplicații: Teodorescu Tiberiu-Dinu
Budaes Marius