

# FISA DISCIPLINEI

Anul universitar 2019-2020



Decan,  
prof. univ. dr. ing. Daniela Tarniceriu

## 1. Date despre program

1.1 Instituția de învățământ superior	Universitatea Tehnică "Gheorghe Asachi" din Iasi
1.2 Facultatea / Departamentul	Electronica, Telecomunicații și Tehnologia Informației
1.3 Departamentul	Bazele Electronicii
1.4 Domeniul de studii	Inginerie Electronică, Telecomunicații și Tehnologii Informaționale
1.5 Ciclul de studii	Studii de Licență
1.6 Programul de studii / Calificarea	Microelectronica, Optoelectronica și Nanotehnologii

## 2. Date despre disciplina

2.1 Denumirea disciplinei:	Introducere în Verificarea Funcțională a circuitelor integrate digitale				
2.2 Titularul activităților de curs	sef lucrări dr. ing. Victor Andrei Maiorescu				
2.3 Titularul activităților de seminar	sef lucrări dr. ing. Victor Andrei Maiorescu				
2.4 Anul de studiu	4	2.5 Semestrul	1	2.6 Tipul de evaluare VP	2.7 Regimul disciplinei
					DOS

## 3. Timpul total estimat (ore pe semestru al activităților didactice)

3.1 Număr de ore pe săptămână	3	din care: 3.2 curs	1	3.3 seminar/laborator	2
3.4 Total ore din planul de învățământ	42	din care: 3.5 curs	14	3.6 seminar/laborator	28
Distribuția fondului de timp					ore
Studiul după manual, suport de curs, bibliografie și notițe					21
Documentare suplimentară în bibliotecă, pe platformele electronice de specialitate și pe teren					14
Pregătire seminarii/laboratoare, teme, referate, portofolii și eseuri					14
Tutorat					--
Examinări					--
Alte activități - consultații					5
3.7 Total ore studiu individual	54				
3.9 Total ore pe semestru	96				
3.10 Numărul de credite	4				

## 4. Precondiții (acolo unde este cazul)

4.1 de curriculum	Circuite integrate digitale, Limbaje de descriere hardware, Testare și testabilitate
4.2 de competențe	--

## 5. Condiții (acolo unde este cazul)

**Admitere la curs:** în baza opțiunilor exprimate în prima săptămână a anului universitar și în baza deciziei de repartitie aprobate.

**Criteriul de repartitie:** performanța școlară pentru anul anterior de studii și repartiții anterioare pentru studenții care refac disciplina; prin excepție de la regula se poate admite la curs un student care în mod motivat demonstrează necesitatea studiului acestei discipline (interes profesional pentru domeniu, proiecte în curs, performanța la discipline înrudite, colaborare anterioară cu cadrul didactic pe domeniul cursului)

5.1. de desfășurare a cursului	sala de curs cu calculator și videoproiector, tabla
5.2. de desfășurare a laboratorului	sala de laborator, calculatoare, videoproiector, sistem de operare Windows / Linux; software pentru simularea circuitelor digitale.

## 6. Competențele specifice acumulate

Competențe profesionale	<ul style="list-style-type: none"> <li>Să cunoască scopul și etapele procesului de verificare și modul cum interacționează cu procesul de dezvoltare și cu cel de testare;</li> <li>Să cunoască sintaxa limbajului de verificare SystemVerilog și modul în care acesta poate fi utilizat pentru dezvoltarea mediului de verificare;</li> <li>Să cunoască structura unui mediu de verificare simplu cu componente de verificare pentru interfețe și pentru dispozitive;</li> <li>Să cunoască rolul și modul de interacțiune în cadrul mediului de verificare pentru componentele de baza: interfață, driver, secvențiator, monitor, agent, predictor și scoreboard;</li> <li>Să înțeleagă și să poată realiza un plan de verificare pentru un dispozitiv;</li> </ul>
-------------------------	---



	<ul style="list-style-type: none"> <li>• Sa cunoască noțiunile de verificare orientata pe acoperirea unor puncte de verificare;</li> <li>• Sa utilizeze programe de simulare, sa depaneze codul dezvoltat, sa vizualizare de forme de unda.</li> </ul>
Competențe transversale	<ul style="list-style-type: none"> <li>• Sa utilizeze eficient sursele informaționale și resursele de comunicare și formare profesională asistată, atât în limba română, cât și într-o limba de circulație internațional;</li> <li>• Sa lucreze într-un context internațional.</li> </ul>

#### 7. Obiectivele disciplinei (reieșind din grila competențelor specifice acumulate)

7.1 Obiectivul general al disciplinei	Înțelegerea obiectivelor procesului de verificare funcțională a unui circuit digital și a principalelor etape metodologice în procesul de verificare. Crearea deprinderilor necesare pentru realizarea specificațiilor de verificare, pentru proiectarea și implementarea mediului de verificare și pentru conducerea procesului de verificare bazat pe coverage.
7.2 Obiectivele specifice	<ul style="list-style-type: none"> <li>• Studentul este capabil sa demonstreze ca a dobândit cunoștințe suficiente pentru înțelegerea noțiunilor studiate;</li> <li>• Studentul poate sa identifice cerințe pentru verificarea funcțională a unui circuit digital;</li> <li>• Studentul este capabil sa înțeleagă critic, să explice și să interpreteze dezvoltările practice specifice verificării funcționale a circuitelor digitale;</li> <li>• Studentul poate sa dezvolte cod pentru un mediu de dezvoltare simplu și pentru componente de verificare simple.</li> </ul>

#### 8. Conținuturi

8. 1 Curs	Metode de predare	Observații
Verificare funcțională pentru circuite digitale	Combinare:	1 ora
Metodologia de verificare. Mediul de verificare		1 ore
Limbajul SystemVerilog (tipuri de date, concepte orientate obiect, generarea datelor aleatoare, controlul execuției)	<ul style="list-style-type: none"> <li>• metoda prelegerilor;</li> <li>• folosirea videoproiectorului;</li> <li>• explicația;</li> <li>• dezbateri;</li> <li>• studiu de caz;</li> </ul>	4 ore
Conceperea planului de verificare		1 ore
Limbaje de descriere hardware comportamentale		1 ore
Stimuli și Răspuns	• conexiuni cu conținutul altor discipline de specialitate, cu informații transmise anterior în cadrul disciplinei, sau aplicațiile practice discutate la laborator.	2 ore
Verificarea condusa de acoperirea itemurilor de verificare		2 ore
Bibliografie: <ol style="list-style-type: none"> <li>1. Janick Bergeron - Writing Testbenches using SystemVerilog, Springer, 9780387312750, 2006.</li> <li>2. Donald E. Thomas, Philip R. Moorby - The Verilog® Hardware Description Language, Fifth Edition, Kluwer Academic Publishers, 2002, 0-306-47666-5;</li> <li>3. Chris Spear – SystemVerilog for Verification, A Guide to Learning the Testbench Language Features, Second Edition, 978-0-387-76529-7, 2008;</li> <li>4. Mark Glasser - Open Verification Methodology Cookbook, Springer, 978-1-4419-0967-1, 2009;</li> <li>5. Note și buletine de aplicații pentru produse ale firmelor Cadence, Mentor Graphics.</li> </ol>		
8. 2 Seminar / laborator	Metode de predare	Observații
Structura standard a mediului de verificare. Proiectarea mediului de verificare	Combinare:	2 ore
Identificare itemuri de verificare pentru un DUT dat	<ul style="list-style-type: none"> <li>• expunere, folosirea videoproiectorului;</li> <li>• explicația, discuția, exemplificarea;</li> <li>• identificarea practica pe scheme bloc și forme de unda.</li> </ul>	2 ore
Specificații pentru verificare funcțională		2 ore
Recapitulare cunoștințe de limbaje de descriere hardware (Verilog)	Combinare:	2 ore
Limbajul SystemVerilog – tipuri de date	<ul style="list-style-type: none"> <li>• expunere, explicația, folosirea videoproiectorului;</li> <li>• exemplificarea practica prin secvențe de cod simple. simulare și interpretarea rezultatelor.</li> </ul>	2 ore
Limbajul SystemVerilog – concepte orientate obiect		2 ore
Limbajul SystemVerilog – controlul execuției		2 ore
Limbajul SystemVerilog – generarea datelor aleatoare		2 ore
Implementarea unei componente de verificare pentru interfață (generator + driver)	• discuția, exemplificarea, analiza de cod, interpretarea rezultatelor de simulare;	2 ore
Implementarea unei componente de verificare pentru interfață (monitor), interconectarea componentei la		2 ore



DUT		
Implementarea unei componente de verificare pentru DUT (scoreboard)		2 ore
Proiect: Implementarea mediului de verificare pentru DUT	• analiza de cod, interpretarea rezultatelor de simulare;	6 ore

#### Bibliografie:

1. Chris Spear – SystemVerilog for Verification, A Guide to Learning the Testbench Language Features, Second Edition, 978-0-387-76529-7, 2008;
2. Mark Glasser - Open Verification Methodology Cookbook, Springer, 978-1-4419-0967-1, 2009;
3. OVM User Guide, Ver. 2.1, martie 2010;
4. OVM Class Reference, Ver. 2.1, martie 2010;
5. Documentație Mentor Graphics pentru ModelSim/QuestaSim;

9. Coroborarea conținuturilor disciplinei cu așteptările reprezentanților comunității epistemice, asociațiilor profesionale și angajatori reprezentativi din domeniul aferent programului

Obiectivele disciplinei sunt în perfectă concordanță cu planul de învățământ, transmițând informații și formând deprinderi necesare viitorilor specialiști din domeniul electronicii, telecomunicațiilor și tehnologiei informației. La întocmirea programei s-a avut în vedere integrarea disciplinei în planul de învățământ pentru specializarea de Microelectronica, Optoelectronica și Nanotehnologii, conținutul curiculei universităților de prestigiu din țară și străinătate și așteptările principalilor actori industriali din România, cu care avem colaborări constante. Disciplina utilizează în mod specific cunoștințe și metode prezentate în cadrul disciplinelor de Circuite integrate digitale, Limbaje de descriere hardware respectiv Testare și testabilitate fiind plasată adecvat în cronologia desfășurării planului de învățământ.

#### 10. Evaluare

Tip activitate	10.1 Criterii de evaluare	10.2 Metode de evaluare	10.3 Pondere din nota finala
10.4 Curs	Corectitudinea si completitudinea cunoștințelor; Coerența logică; Gradul de asimilare a limbajului de specialitate	Teza scrisa, subiecte de teorie, explicare de termeni de specialitate	33%
10.5 Seminar/laborator	Proiectare si implementare mediu de verificare pentru DUT. Capacitatea de a opera cu cunoștințele asimilate; Calitatea lucrărilor efectuate; Gradul de acoperire a problematicei	Demonstrație practica. Review cod	66%
	Documentarea proiectului realizat. Gradul de acoperire a problematicei Consemnarea sistematică a informațiilor semnificative. Susținerea proiectului	Colocviu pe baza documentației pentru proiectul realizat	
10.6 Standard minim de performanta			
<p>Cunoașterea elementelor fundamentale de teorie, cunoașterea terminologiei</p> <p>Realizare funcțională mediu de verificare si prezentare proiect.</p> <p>Respectarea normelor de etica profesionala. Studentul sancționat pentru tentativa de fraudare a examinării (in orice forma: copiat, plagiat, etc.) reface disciplina integral in anul universitar următor fără posibilitatea de echivalare parțiala a unor activități.</p> <p>Notare:     1(unu) – pentru fraudă sau tentativa de fraudă               2(doi), 3(trei) - cunostinte insuficiente, necunoasterea materiei, greseli si confuzii semnificative               4(patru) - cunostinte insuficiente,corectare pe baza de barem               5(cinci) – cunostinte minime pentru promovarea examenului,corectare pe baza de barem               6(sese) ... 9(noua) - corectare pe baza de barem               10(zece) - corectare pe baza de barem, acoperire completa a subiectelor de examen</p>			

Semnătura titularului de curs  
sef I. dr. ing. Victor Andrei Maiorescu

Semnătura titularului de seminar / laborator  
sef I. dr. ing. Victor Andrei Maiorescu

Data avizării în departament  
7 septembrie 2019

Semnătura directorului de departament  
prof. dr. ing. Victor Grigoraș