

Universitatea Tehnică "Gh. Asachi" Iași

Facultatea FACULTATEA DE ELECTRONICĂ SI TELECOMUNICAȚII

Domeniul: Inginerie electronică și telecomunicații

Specializarea: Microelectronică, optoelectronică și nanotehnologii

Forma de învățământ: ing. zi **Anul de studii:** 4 **Anul universitar:** 2007/2008

P R O G R A M A A N A L I T I C Ă

a disciplinei: **Circuite VLSI Reconfigurabile**

1. Titularul disciplinei: șef lucrări dr. ing. Liviu Țigăeru

2. Tipul disciplinei: DO

codul: DS510m

3. Structura disciplinei:

Semestrul	Numărul de ore pe săptămână				Forma de evaluare finală	Numărul de ore pe semestru				
	C	S	L	P		C	S	L	P	Total
9	2	-	1	-	colocviu	28	-	14	-	42

4. Obiectivele cursului:

Înșușirea cunoștințelor legate de proiectarea circuitelor VLSI și a sistemelor reconfigurabile și implementarea sistemelor digitale pe suportul fizic al acestora.

5. Concordanța între obiectivele disciplinei și obiectivele planului de învățământ:

Obiectivele disciplinei respectă obiectivele fixate în planul de învățământ

6. Rezultatele învățării exprimate în competențe cognitive, tehnice sau profesionale

Ca urmare a însușirii informațiilor predate atât în timpul orelor de curs cât și a celor de laborator, este de așteptat ca studenții să-și extindă cunoașterea în domeniul implementării în tehnologii VLSI a sistemelor digitale și totodată a sistemelor electronice reconfigurabile.

Totodată, studenții se vor deprinde cu metodologia de proiectare top-down a sistemelor electronice, cu principalele tehnici de descriere a sistemelor respective prin intermediul unui limbaj de descriere hardware (VHDL) în scopul realizării sintezei logice a acestora și cu principalele aspecte care trebuie vizate atunci când acestea se implementează pe suportul fizic furnizat de dispozitivele FPGA, respectiv CPLD.

Studenții se vor familiariza mediul de proiectare ISE Web Pack 7.1 – Xilinx și cu mediul de verificare Modelsim – Mentor Graphics și vor implementa sistemele digitale pe suportul fizic furnizat de către dispozitivele FPGA din familia logică Spartan 3 – Xilinx, urmărindu-se dezvoltarea competențelor profesionale ale acestora în domeniul implementării VLSI a sistemelor digitale.

7. Proceduri folosite la predarea disciplinei:

La predare se folosește expunerea liberă, cu ajutorul videoproietorului. Materialul prezentat este discutat cu studenții în timpul expunerii. Subiectele discutate se găsesc selectiv în bibliografia de specialitate menționată. În timpul expunerii, subiectele abordate sunt susținute/explicate prin diverse simulări ale exemplurilor prezentate la curs și/sau laborator. Pentru ridicarea gradului de accesibilitate a materialului prezentat se utilizează pentru majoritatea temelor abordate o prezentare animată.

8. Sistemul de evaluare:

Evaluarea continuă:

Activitatea la laborator

Ponderea în nota finală: 20% (calculator)

Evaluarea finală: (colocviu.)

Ponderea în nota finală: 80%

Probele:

1 lucrare scrisă: tradițional

- a) test de cunoștințe
- b) test scris; studentul nu are acces la referințe
- c) 50%

2 implementare sistem digital pe FPGA: calculator

- a) implementare sistem digital pe suportul fizic al unui FPGA
- b) calculator și placa de dezvoltare FPGA; studentul are acces la bibliografia indicată, curs sau laborator, la instrumentul software de proiectare și la placa de dezvoltare care conține FPGA-ul
- c) 30 %

9. Conținutul disciplinei:

a) Curs

1. Noțiuni introductive: clasificare dispozitive reconfigurabile, parametrii specifici dispozitivelor reconfigurabile, etape în implementarea unei aplicații pe suportul fizic furnizat de un dispozitiv reconfigurabil. **2h**

2. Structuri logice programabile simple (SPLD): structura PAL. Structura de bază a dispozitivului PAL16L8. Structura de bază a dispozitivului PAL16R8. Structura de bază a dispozitivului PAL22V10. Macrocelula dispozitivului PAL22V10. **2h**

3. Tehnologii de implementare a elementelor programabile: proprietățile tranzistorului FGMOS, mecanisme de programare; tehnologii de implementare a elementelor programabile utilizate în structurile CPLD: EPROM, EEPROM, FLASH. Tehnologii de implementare a elementelor programabile în structurile FPGA: antifuzibil, SRAM. **3h**

4. Rutarea semnalelor în dispozitivele reconfigurabile: formula lui Elmore pentru estimarea întârzierii în propagarea semnalelor prin structura dispozitivelor reconfigurabile, soluții specifice pentru rutarea semnalelor globale, soluții pentru rutarea semnalelor în structurile CPLD - scheme de implementare a interconexiunilor programabile: schema de interconexiuni de tip matricial: (rețeaua FastCONNECT - Xilinx, rețeaua PIA - Altera); schema de interconexiuni pe bază de multiplexoare (rețeaua FastTrack - Altera); soluții specifice pentru rutarea semnalelor în dispozitivele FPGA – soluții pentru implementarea interconexiunilor programabile pe baza matricilor de comutatoare programabile (Xilinx). **4h**

5. Soluții pentru implementarea funcțiilor logice în dispozitivele reconfigurabile: implementarea ariei programabile de porți logice ȘI – implementarea funcțiilor logice combinaționale, implementarea blocurilor de alocarea a termenilor produs în structurile CPLD - optimizarea mecanismului de alocare a termenilor produs, exemple de scheme de alocare a termenilor produs (familiile logice de dispozitive CPLD Flash370 – Cypress, Max340 – Cypress, Max9000 – Altera, XC9500 – Xilinx); implementarea macrocelulelor în dispozitivele CPLD (Max9000, Max7000 – Altera, XC9500 – Xilinx); structura celulelor logice în dispozitivele FPGA - celulele logice realizate pe bază de multiplexoare (modulul logic ACT1, ACT2 – Actel); celulele logice realizate pe bază de blocuri LUT (structura blocului logic configurabil XC3000-Xilinx). **6h**

6. Soluții pentru implementarea blocurilor de calcul aritmetic. Furnizarea resurselor logice necesare implementării și rutării semnalelor de transport/împrumut. Structura blocului logic configurabil XC4000-Xilinx. Structura elementului logic la dispozitivele FPGA FLEX10K – Altera. **2h**

7. Implementarea blocurilor de memorie în dispozitivele FPGA. Arhitecturi de tip fine-grained, respectiv coarse-grained. Configurarea blocului logic configurabil XC4000 - Xilinx ca bloc de memorie. Implementarea blocurilor de memorie în dispozitivele FPGA FLEX10K – Altera. **2h**
8. Soluții pentru implementarea celulelor/blocurilor de intrare/ieșire; regimuri de funcționare specifice. **3h**
9. Configurarea și testarea dispozitivelor reconfigurabile. **2h**
10. Sisteme logice reconfigurabile: sisteme multi-FPGA, sisteme logice “multi-mode” implementate pe dispozitive FPGA, emularea soluțiilor ASIC în proiectarea VLSI. **2h**
- Total **28** ore

b) Aplicații

1. Prezentarea mediului de proiectare ISE Web Pack 7.1 Xilinx. **2h**
2. Sinteza logică și implementarea circuitelor logice combinatoriale. **2h**
3. Sinteza logică și implementarea circuitelor aritmetice I (sumatoare/scazatoare). **2h**
4. Sinteza logică și implementarea circuitelor aritmetice II (multiplicatoare/comparatoare). **2h**
5. Sinteza logică și implementarea sistemelor secvențiale. **2h**
6. Sinteza logică și implementarea automatelor cu stări finite. **2h**
7. Implementarea/utilizarea blocurilor de memorie în implementarea sistemelor digitale pe dispozitive FPGA **2h**
- Total **14** ore

10. Bibliografie selectivă

- [1] *Application-Specific Integrated Circuits*, M.J.S. Smith, Addison Wesley, 1999
- [2] *VHDL for Programmable Logic*, K. Skahill, Addison Wesley, 1996
- [3] *Actel HDL Coding Style Guide*, Actel Corporation 2001
- [4] *A Practical Guide to VHDL Design*, M. Cîrstea, A. Dinu, D. Nicula, Ed. Tehnică, 2001

Semnături:

Data: 20.10.2007

Titular curs: sef lucrari dr. ing. Țigăeru Liviu
Titular(i) aplicații: sef lucrari dr. ing. Țigăeru Liviu