

**PROGRAMA ANALITICĂ**  
a disciplinei:  
**Proiectarea și verificarea cu HDL a circuitelor digitale**

**1. Titularul disciplinei: Șef de lucr.dr.ing. Dănuț BURDIA**

**2. Tipul disciplinei: DO codul: 508 RD**

**3. Structura disciplinei:**

Semestru 1	Numărul de ore pe săptămână				Forma de evaluare finală	Numărul de ore pe semestru				
	C	S	L	P		C	S	L	P	Total
1	2	-	1	1	E	28	-	14	14	56

**4. Obiectivele cursului:**

Studentii vor însuși cunoștințe despre principiile de proiectare și verificare a circuitelor digitale folosind limbaje de descriere hardware precum și tehnicile de implementare și optimizare în dispozitive reconfigurabile FPGA.

**5. Concordanța între obiectivele disciplinei și obiectivele planul de învățământ:**

Obiectivele disciplinei sunt în concordanță cu cele ale planului de învățământ prin care se urmărește însușirea de către studenți a aspectelor importante din domeniul radiocomunicațiilor digitale, între acestea fiind proiectarea circuitelor digitale pentru comunicații (circuite de codare, circuite de procesare de semnal, etc)

**6. Rezultatele învățării exprimate în competențe cognitive, tehnice sau profesionale**

În urma învățării disciplinei studenții vor fi capabili să utilizeze limbajele de descriere hardware pentru descrierea la nivel algoritmic și RTL a diverselor categorii de circuite și sisteme digitale în vederea sintezei și implementării acestora în tehnologie FPGA.

Studentii vor dobândi cunoștințe și vor ști să aplice tehnicile de simulare și verificare funcțională a sistemelor digitale cu ajutorul limbajelor de descriere hardware.

Studentii vor ști să utilizeze pachetul de programe software pentru sinteza și implementarea în tehnologie FPGA a proiectelor digitale.

**7. Proceduri folosite la predarea disciplinei:**

**Cursurile** se vor preda folosind laptop și proiector multimedia. Studentii vor dispune de materialele de curs în format electronic și/sau tipărit; predarea se va realiza interactiv prin dialog cu studenții. Eventualele detalii sau explicații suplimentare în timpul cursului vor fi oferite prin utilizarea tablei.

**Lucrările de laborator** se vor desfășura pe baza materialului scris pe suport electronic și/sau hârtie, folosind PC și pachetul software de editare, simulare, sinteză și implementare a circuitelor digitale precum și plăci de dezvoltare FPGA.

În cadrul activității de **proiect**, studenții vor realiza diverse proiecte de circuite sau sisteme digitale plecând de la un set de specificații. Proiectarea va include scrierea în cod HDL a specificațiilor, simularea, sinteza, implementarea în tehnologie FPGA și simularea post sinteză a proiectului. Proiectarea se va realiza pe baza materialelor puse la dispoziție pe suport electronic.

**8. Sistemul de evaluare:**

Evaluarea studenților se face pentru cele trei categorii de activități din cadrul disciplinei: curs, laborator și proiect.

În timpul **cursului**, studenții sunt evaluați individual, în funcție de participarea la discuții și de calitatea intervențiilor; evaluarea se face în mod tradițional. În timpul activităților de **laborator**, studenții sunt evaluați individual, la fiecare lucrare, în funcție de modul de realizare a activităților, calitatea răspunsurilor la întrebări și modul de rezolvare a temelor de casă; evaluarea se realizează mixt, cu calculatorul și în mod tradițional. În timpul activităților de **proiect**, studenții sunt evaluați în funcție de rezultatele proiectării: calitatea documentării, a soluțiilor adoptate și a rezultatelor obținute; evaluarea se face mixt, folosind calculatorul și în mod tradițional.

*Evaluarea continuă:*

*Activitatea la seminar / laborator / proiect / practică*

Ponderea în nota finală: 20%

Evaluare pe baza rezultatelor la activitatea de laborator (modul și gradul de realizare a lucrărilor, răspunsuri la întrebări). Forma de evaluare: mixt.

*Testele pe parcurs*

Ponderea în nota finală: 10%

Evaluare pe baza răspunsului la întrebări. Forma de evaluare: tradițional

*Lucrări de specialitate*

Ponderea în nota finală: 20%

Evaluare pe baza temelor de proiect. Forma de evaluare: mixt.

*Evaluarea finală: Examen*

Ponderea în nota finală: 50%

Probele:

Examenul constă din 3 probe:

- |                                      |              |
|--------------------------------------|--------------|
| (1) Subiect teoretic , răspuns scris | 30% din notă |
| (2) Problema 1– rezolvare scrisă     | 35% din notă |
| (3) Problema 2 - rezolvare scrisă    | 35% din notă |

## **9. Conținutul disciplinei:**

### **a) Curs**

- |   |       |
|---|-------|
| I. Introducere.   | 2 ore |
| II. Concepte ale proiectării digitale                         | 3 ore |
| - Sisteme de numărare   |       |
| - Aritmetica binară   |       |
| - Circuite combinaționale                                     |       |
| - Circuite de stocare   |       |
| - Circuite secvențiale  |       |
| - Memorii   |       |
| III. Dispozitive logice programabile                          | 2 ore |
| - Memorii Read-Only   |       |
| - Arii logice programabile                                    |       |
| - Dispozitive logice programabile complexe -CPLD              |       |
| - Arii de porți programabile - FPGA                           |       |
| IV. Proiectarea pe baza HDL                                   | 2 ore |
| - Descrierea la nivel înalt și simularea proiectelor digitale |       |
| - Implementarea unui proiect                                  |       |
| V. Sinteza circuitelor digitale pe baza HDL                   | 3 ore |
| - cod HDL sintetizabil  |       |

- considerarea aspectelor temporale in sinteza	
- sinteza cu constrângeri de timing	
VI. Elemente de testabilitate în sinteza	2 ore
VII. Introducere în verificarea proiectelor digitale	3 ore
- Principiile verificării	
- Metodologia verificării	
- Verificare bazată pe simulare și verificarea formală	
- Limitele verificării formale	
VII. Cod HDL pentru verificare	3 ore
- Construcții pentru descriere funcțională corectă	
- Construcții pentru descriere temporală corectă	
- Simularea de performanță	
- Simularea bazată pe cicli	
- Simulare si emulare hardware	
- Simularea cu două și patru stări	
IX. Proiectarea și organizarea unui testbench	3 ore
- Structura unui testbench și mediul de teste	
- Mecanisme de inițializare	
- Generatoare de clock și sincronizare	
- Generatoare de semnale	
- Controlul răspunsului	
- Metodologii și tehnici practice uzuale	
X. Scenarii de test și control	2 ore
- Verificare hierarhică	
- Planificarea testării	
- Generatoare de test pseudoaleator	
- Construcții de control	
XI. Principiile verificării formale	3 ore
- Seturi de obiecte și operații	
- Relații și partiții	
- Funcții booleene și reprezentări	
- Operatori în verificarea formală	
- Automate cu stări finite	
	Total 28 ore

#### **b) Aplicații**

36. Limbaje de descriere hardware. Descrierea și simularea unui proiect	2 ore
37. Structura și utilizarea plăcilor de dezvoltare FPGA Xilinx Spartan 3	2 ore
38. Sinteza circuitelor combinaționale	2 ore
4. Sinteza circuitelor secvențiale	2 ore
5. Mașini cu stări finite	2 ore
5. Verificarea proiectelor digitale	4 ore

Total 14 ore  
14 ore

#### **c) Proiect**

Teme de proiect

1. Proiectarea și sinteza unui microcontroler
2. Proiectarea și sinteza unui circuit de procesare digitală a semnalelor
3. Proiectarea și sinteza unui controller
4. Proiectarea și sinteza unei unități aritmetice logice

Total 14 ore

## **10. Bibliografie selectivă**

1. Robert Dueck, 2000, Digital Design with CPLD Applications and VHDL, Ed. Thomson Delmar Learning.
2. Clive Maxfield, 2004, The Design Warrior's Guide to FPGAs, Ed. Elsevier-Newnes.
3. Peter J. Ashenden, 2002, The Designer's Guide to VHDL – Second Edition, Ed. Morgan Kaufmann Publishers.
4. Zainalabedin Navabi, 2005, Digital Design and Implementation with Field Programmable Devices, Ed. Kluwer Academic Publishers, Boston
5. Richard Munden, 2005, ASIC and FPGA Verification: A Guide to Component Modeling, Ed. Elsevier- Morgan Kaufmann Publishers.
6. William K. Lam, 2005, Hardware Design Verification: Simulation and Formal Method-Based Approaches, Ed. Prentice Hall,
7. J.P. Deschampes, G.J.A. Bioul, G. D. Sutter, Synthesis of Arithmetic Circuits – FPGA, ASIC and Embedded Systems, Ed. John Willey & Sons.
8. Pong Chu, 2006, RTL.Hardware.Design.Using.VHDL, Ed. John Willey & Sons.
9. Uwe Meyer-Baese, 2007, Digital Signal Processing with Field Programmable Gate Arrays, Third Edition, Ed. Springer.

### **Semnături:**

Data:

Titular curs: s.l. dr. ing. Burdia Dănuț

Titular aplicații: s.l. dr. ing. Burdia Dănuț