

# UNIVERSITATEA TEHNICĂ "GH. ASACHI" IAȘI

Facultatea de **Electronică, Telecomunicații și Tehnologia Informației**

Domeniul: **Inginerie Electronică și Telecomunicații**

Specializarea: **Tehnici Moderne de Prelucrare a Semnalelor**

Forma de învățământ: **MASTER / ZI** Anul de studii: **1** Anul universitar: **2009-2010**

## P R O G R A M A A N A L I T I C Ă

a disciplinei: **Proiectarea Circuitelor Integrate de Prelucrare Digitale a Semnalelor**

- 1. Titularul disciplinei:** S.I. dr. ing. Tiberiu-Dinu TEODORESCU  
S.I. dr. ing. Liviu TIGAERU  
S.I. dr. ing. Andrei MAIORESCU
- 2. Tipul disciplinei:** DS, DI                      codul: 506\_TMPS
- 3. Structura disciplinei:**

Semestrul	Numărul de ore pe săptămână				Forma de evaluare finală	Numărul de ore pe semestru				
	C	S	L	P		C	S	L	P	Total
<b>2</b>	<b>2</b>	-	<b>2</b>	-	<b>E</b>	<b>28</b>	-	<b>28</b>	-	<b>60</b>

### 4. Obiectivele cursului:

Disciplina de „Proiectarea Circuitelor Intergrate Digitale” urmărește introducerea unor noțiuni de proiectare a circuitelor integrate digitale, până la nivel de implementare fizică. Cursul introduce noțiuni legate de arhitectura sistemelor digitale de calcul (de uz general și dedicate), punându-se accent apoi pe diferite blocuri componente ale acestora, de exemplu arbitru, controller de memorie, arhitectura simplificată a unui procesor. De asemenea se urmărește asimilarea de cunoștințe specifice verificării formale a circuitelor integrate digitale: monitor, checker, driver, scoreboard, exemplificare. Se vor prezenta pe un exemplu toate aceste concepte și se vor distribui teme de proiecte ce vor presupune implementarea de teste folosind această infrastructură.

### 5. Concordanța între obiectivele disciplinei și obiectivele planul de învățământ:

Disciplina este una de specialitate, având nevoie pentru buna desfășurare de cunoștințe de teoria sistemelor, procesare numerică de semnal, circuite integrate digitale, programare în C/C++, VLSI digital, un limbaj de descriere hardware (Verilog). Scopul ei este de a pune în evidență și a exemplifica practic topologii pentru sistemele digitale de uz general și cele dedicate, și de a trasa granița (dinamică) ce desparte cele două tipuri de sisteme.

### 6. Rezultatele învățării exprimate în competențe cognitive, tehnice sau profesionale

Studentii capătă competențe în modelare HW a sistemelor digitale (de uz general sau dedicate), pe principiul paralel, serial și mixt. Pe baza blocurilor elementare absolvenții cursului vor putea implementa și verifica în tehnologie SoC sisteme digitale complexe.

### 7. Proceduri folosite la predarea disciplinei:

Mod de predare: expunerea teoretică, exemple și aplicații.

Susținere laborator: calcul de proiectare și analiză urmat de simulări experimentale.

Nivelul de predare, atat teoretic cat si aplicativ adaptat la nivelul de pregatire al studentilor.

## 8. Sistemul de evaluare:

*Evaluarea continuă:* T

*Activitatea* la seminar / laborator / proiect / practică

Ponderea în nota finală: 50% (proiect)

*Testele pe parcurs*

Ponderea în nota finală: \_\_\_%

*Lucrări de specialitate*

Ponderea în nota finală: \_\_\_%

*Evaluarea finală:* examen T

Ponderea în nota finală: 50%

Proba: Evaluarea in cadrul proiectului va fi facuta in timpul semestrului urmand ca prezentarea functionarii sa se faca la sfarsitul semestrului si sa fie evaluata.

## 9. Conținutul disciplinei:

### a) Curs

**Cap. 1. Elemente de Verilog** **4 ore**

**Cap. 2. Blocuri componente ale unui sistem de calcul** **6 ore**

2.1. ALU

2.2. Arbitru de magistrala

2.3. Controller de memorie, DMA, Northbridge, Southbridge

2.4. Microarhitectura

2.5. Cache

**Cap. 3. Elemente de legate de metodologii de proiectare a CI digitale** **4 ore**

3.1. Etapele proiectarii unui sistem digital

3.2. Elemente specifice legate de optimizarea performantei

3.3. Interfatarea Verilog/C++

**Cap. 4. Sinteza logica** **8 ore**

4.1. Sinteza logica. Cod sintetizabil.

4.2. Timing. Constrangeri pentru design.

4.3. Design Ierarhic. Sinteza Top-Down si Bottom-Up

4.4. Whireload model.

**Cap. 5. Design for Test** **6 ore**

5.1. Scan design

5.2. Built-in Self-Test (BIST)

5.3. Boundary Scan (JTAG)

Total ore curs – 28 ore

### b) Aplicații

- |                                  |       |
|----------------------------------|-------|
| 1. Elemente de Verilog           | 4 ore |
| 2. Mediul de dezvoltare Eclipse  | 2 ore |
| 3. Implementarea unui ALU simplu | 4 ore |
| 4. Timing. Constrangeri de timp  | 2 ore |

5. Sinteza circuitelor logice	2 ore
6. Implementarea unui DMA simplu	2 ore
7. Implementarea unui controller de memorie	4 ore
8. Implementarea unui arbitru de magistrala cu 2 cai	2 ore
9. Design for Test – Scan design	2 ore
10. Design for Test – Built-in Self-Test (BIST)	2 ore
11. Design for Test – Boundary Scan (JTAG)	2 ore

Total ore aplicații – 28 ore

#### 10. Bibliografie selectivă

2. D. A. Patterson, J.L. Hennessy – Computer Architecture and Design, third edition, Elsevier
3. AMD64 Architecture Programmer's Manual Vol 2 'System Programming':  
[http://www.amd.com/us-en/assets/content\\_type/white\\_papers\\_and\\_tech\\_docs/24593.pdf](http://www.amd.com/us-en/assets/content_type/white_papers_and_tech_docs/24593.pdf)
4. M. Bushnell, V. Agrawal - Essentials Of Electronic Testing: For Digital, Memory and Mixed-Signal VLSI Circuits, Kluwer Academic, 0-306-47040, 2002;
5. \*\*\*, Design Compiler - User Guide, Synopsys, 2003;

Data: 01.09.2008

Titular curs:

**Semnături:**

Teodorescu Tiberiu-Dinu  
S.I. dr. ing. Liviu TIGAERU

Titular(i) aplicații:

Teodorescu Tiberiu-Dinu  
S.I. dr. ing. Liviu TIGAERU